

INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA DE INVESTIGACIÓN Y POSGRADO
DIVISIÓN DE ESTUDIOS DE POSGRADO

FORMATO GUÍA PARA REGISTRO DE ASIGNATURAS

I. DATOS DEL PROGRAMA Y LA ASIGNATURA

1.1 NOMBRE DEL PROGRAMA: Sistemas Inmersos

1.2 COORDINADOR DEL PROGRAMA: Luis A. González Hernández

1.3 NOMBRE DE LA ASIGNATURA: Diseño de Sistemas Digitales

1.4 CLAVE: _____ (Para ser llenado por la SIP)

1.5 TIPO DE ASIGNATURA: OBLIGATORIA OPTATIVA
 SEMINARIO ESTANCIA

1.6 NÚMERO DE HORAS: TEORÍA PRÁCTICA T-P

1.7 UNIDADES DE CRÉDITO:

1.8 FECHA DE LA ELABORACIÓN DEL PROGRAMA DE LA ASIGNATURA:

08	12	06
d	m	a

1.9 SESIÓN DEL COLEGIO DE PROFESORES EN QUE SE ACORDÓ LA IMPLANTACIÓN DE LA ASIGNATURA:

SESIÓN No.	6/07
------------	------

FECHA:	<table border="1"><tr><td> </td><td> </td><td> </td></tr><tr><td align="center">26</td><td align="center">03</td><td align="center">07</td></tr><tr><td align="center">d</td><td align="center">m</td><td align="center">a</td></tr></table>				26	03	07	d	m	a
26	03	07								
d	m	a								

1.1 FECHA DE REGISTRO EN SIP:

d	m	a

 (Para ser llenado por la SIP)

II. DATOS DEL PERSONAL ACADÉMICO

2.1 COORD. ASIGNATURA: Roberto Herrera Charles CLAVE: 4657-EB-06

2.2 PROFR. PARTICIPANTE: Roberto Herrera Charles CLAVE: _____

_____ CLAVE: _____

III. DESCRIPCIÓN DEL CONTENIDO DEL PROGRAMA DE LA ASIGNATURA

III. OBJETIVO GENERAL:

1

Enseñar al alumno el Lenguaje Descriptor de Hardware (VHDL) para la especificación, la simulación y la síntesis de sistemas digitales. Aplicar y aumentar el conocimiento de VHDL en proyectos educativos al conseguir la información base de varias ediciones del diseño del sistema digital y realizar un proyecto de FPGA/VHDL

III. DESCRIPCIÓN DEL CONTENIDO

2

TEMAS Y SUBTEMAS	TIEMPO
1. Introducción	2 hrs
2. Revisión de CMOS y diseño de circuitos - lógica combinacionales	2hrs
3. Diseño de sistemas digitales con circuitos - lógica secuenciales.	4 hrs
4. Dispositivos y arquitectura de CPLD y FPGA	6 hrs
5. Revisión de las herramientas de diseño con CAD	6 hrs
6. Síntesis de lenguaje VHDL y diseño con VHDL	6 hrs
7. Síntesis de lenguaje VHDL y simulación	4 hrs
8. Método de prueba digital JTAG	4 hrs
9. Ejemplos de aplicación: diseño de sistemas digitales por 1. Comportamiento, 2. Arquitectónico y 3. Transferencia de Datos (RTL).	8 hrs
10. Buses de datos y datapath con VHDL	4 hrs
11. Gestión de diseño. Parte I	4 hrs
12. Gestión de diseño. Parte II.	2 hrs
13. Proyecto final enfocado a la gestión de energía fotovoltaica.	8 hrs

III. BIBLIOGRAFÍA UTILIZADA EN LA ASIGNATURA**3**

- 1 Morris Mano, *Logica Digital y Diseño de Computadoras*. Ed. Prentice-Hall, España 2000.
- 2 *Herramienta Active-HDL*. [En línea]. <http://www.aldec.com/ActiveHDL/>
- 3 Yalamanchili, S.. "*VHDL Starter's Guide*," Prentice Hall 1998.
- 4 Ashenden, P. "*The Designer's Guide to VHDL*," Morgan Kaufmann 1996.
- 5 Dave Van den Bout, "*The Practical Xilinx Designer Lab Book*". Prentice Hall, 1999.
- 6 Patterson D., J. Hennessy. "*Computer Organization & Design: The Hardware/Software Interface*," 2nd Ed, Morgan Kaufmann, 1997.
- 7 Chang, K.C. "*Digital Design and Modeling with VHDL and Synthesis*", Wiley - IEEE Computer Society Press, 1997.
- 8 Terés Ll., Torroja Y., . Olcoz S., Villar E. "*VHDL Lenguaje Estándar de Diseño Electrónico*", Mc Graw Hill, 1998.

III. PROCEDIMIENTOS O INSTRUMENTOS DE EVALUACIÓN A UTILIZAR**4**

Procedimientos:

Clases presenciales

Trabajo en Laboratorio de Sistema Embedded

Tareas e investigaciones

Instrumentos de Evaluación:

Exámen parcial 1 30 %

Exámen parcial 2 30 %

Cuatro Prácticas 10 %

Un Proyecto Final 30 %

*** REQUERIMIENTOS PARA LA MATERIA. Ver ANEXO A inciso II ***
